综合工程设计可行性报告



**课题名称: 音频分析仪设计**

学 生1： 晋远帆 21121911

学 生2： 杨毅 21121430

学 生3： 黄小泽 21121409

学 生4： 王锐 21121395

学 生5： 周俍琦 21121432

组 长： 晋远帆 21121911

指导老师： 张绍军

完成时间： 2023.11.29

# 一、 课题内容概述

## 1.1叙述课题意义及应用

课题要求基于FPGA实现双通道音频分析仪的设计与制作，设计和制作一个双通道音频分析仪具有重要的意义和应用价值，主要体现在以下几个方面：

1.音频信号分析：双通道音频分析仪可以帮助用户实时显示和分析输入信号的时域和频域特性，包括波形、频谱、频率分布等信息。这对音频信号处理、音频设备调试和音频产品研发具有重要意义。例如，在音频处理领域，可以用于音频效果处理、滤波器设计、均衡器调试等；在音频产品研发中，可以用于音箱调试、音频设备性能评估等。

2.音频设备测试和调试：双通道音频分析仪能够对音频设备进行全面的测试和调试，包括音响设备、麦克风、音频放大器、数字声音处理器等。通过分析时域和频域特性，可以及时发现和解决音频设备中的问题，提高音质和性能。

3.音频质量评估：对于音频产品开发和生产而言，双通道音频分析仪可以用于对音频质量进行评估和检测。通过实时显示和分析音频信号的特性，可以更加客观地评估音频产品的性能、稳定性和音质，为产品改进和优化提供有效依据。

4.音频研究和教学：在音频研究和教学领域，双通道音频分析仪可以为教学和科研提供强大的工具。通过实时显示和分析音频信号的时域和频域特性，可以帮助学生和研究人员更好地理解和掌握音频信号处理的原理和方法。

相较于传统的示波器而言，设计的音频分析仪具有功能专一，成本更低，体积更小，操作使用更便捷的优点，对于音频相关行业和领域具有重要意义，可以提高音频产品的质量和性能，促进音频技术的发展和应用，同时低廉的成本可以降低音频发烧爱好者调试自制音频设备的门槛，促进音频技术的发展，也具有良好的市场前景。同时，该项目也有助于提升学习者对音频信号处理和分析的理解，为相关领域的教学和研究提供有力支持。

## 1.2叙述课题的设计目标和要实现的功能

要求设计的双通道音频分析仪能够通过采集模块对于双通道的信号输入进行实时采集，通过UDP以太网传输协议与PC端连接传输数据，并能够在PC端应用对应程序实时显示双通道信号的时域和频域特性。

对于信号采集模块，要求达到以下性能指标：

1. 双路通道同时采集电压≤5V音频输入信号
2. 采集信号频率范围:20-40Khz
3. 输入阻抗匹配，满足音频设备通用600Ω输入阻抗要求
4. 与PC端实时通信传输信号
5. 实现多档输入阻抗和采样率调整

对于PC端程序的设计要求：

1. 实时显示双通道采集信号的时域波形，能够显示波形中各个采样点的电压信息
2. 能够对于采集信号进行快速傅里叶变换，实时显示双路信号的频谱与频域特性
3. 能够完成简单的时频域测量，能够自动测量信号的交直流平均功率，振幅峰－峰值等特性，以及对于信号质量指标如THD，SNR测量。
4. 具备数据库管理功能，可以对于采集输入进行导入备份和数据管理
5. 兼具高精度双通道专业声卡功能，能够通过ASIO/DSIO驱动对于输入音频信号低延迟传输

## 1.3叙述课题创新点和技术难点

本课题创新点：

1.分析信号的范围与应用，可以在满足分析标准的情况下降低设计成本，具有一定市场潜力。

2.分析处理采用PC端程序处理，进一步降低硬件成本与开发难度，同时便携性。

3.端具有数据库管理功能，能够对于采集数据导入和调出，提升用户体验，满足实际生产使用需求。

技术难点分析：

1.抗匹配与频响特性设计。

2.采集与PC端的UDP协议高速实时通信实现。

3.端数据测量和数据库管理的UI设计。

## 1.4分析评价本课题对社会、健康、安全、法律、文化、环境及可持续发展等有何影响以及有何促进的意义

设计和制作双通道音频分析仪对社会、健康、安全、法律、文化、环境及可持续发展都具有一定影响并且具有促进意义：

1.社会影响：双通道音频分析仪的设计和制作可以促进音频技术的发展，提高音频产品的质量和性能，从而丰富人们的音乐、影视娱乐体验，为音频行业的发展和创新注入新的动力。

2.健康影响：音频的质量和性能直接影响着人们的听觉健康。通过提高音频设备的质量和性能，可以减少噪音对人们听力造成的伤害，提高音频的还原度，从而保护人们的听觉健康。

3.安全影响：在一些需要依赖音频设备进行传声、音乐播放的场合（例如会议、演出等），音频设备的质量和性能显得尤为重要，音频分析仪可以提高音频设备的可靠性和安全性，减少意外和事故的发生。

4.法律影响：在一些对音频质量和性能有相关法律规定的领域（例如音视频制作、演出等），音频分析仪可以帮助保障产品和服务符合相关法律标准，确保音频产品的质量和安全符合法律要求。

5.文化影响：音频在文化传承、艺术表达中具有重要地位。优质的音频设备和技术可以帮助保护和传承文化遗产，促进音乐、表演、录音等各种文化形式的发展，丰富人们的文化生活。

6．环境影响：在一些需要控制噪音污染的环境中（例如工业生产、城市建设等），音频分析仪可以帮助控制和改善环境噪音，保护居民的生活环境。

7.可持续发展影响：通过提高音频设备的质量和性能，音频行业可以促进可持续发展，提高资源利用效率，降低能耗，推动行业向环保、可持续方向发展。

因此，设计和制作双通道音频分析仪对各个领域都具有积极的影响和促进意义，有助于社会的发展和进步。

# 二、 课题相关市场调研

## 2.1 国内外研究现状

目前，国内外在音频领域的研究和应用涵盖了广泛的领域，从音频处理技术到音频设备的设计和制造。在双通道音频分析仪方面，已经有一些相关研究和产品存在。

**国外研究现状：**

在国外，一些专业音频设备制造商和研究机构已经推出了多功能、高性能的双通道音频分析仪。这些设备通常具备高精度的信号采集模块、实时数据传输技术以及强大的数据处理和分析能力。一些商用设备还配备了专业的声卡功能，通过先进的驱动技术实现低延迟传输。

在研究方面，一些学术机构和实验室致力于音频信号处理和分析的研究。他们关注音频信号的特性提取、频域分析、噪音处理等方面，以应对不同的应用场景和需求。

**国内研究现状：**

国内也有一些研究团队和企业在音频领域取得了一些进展。一些高校的电子信息工程、音频工程等相关专业的研究团队开展了关于音频信号处理的研究项目，包括双通道音频分析仪的设计与制作。

在产业方面，一些音频设备制造商开始关注高性能、多功能音频分析仪的研发。随着音频产业的不断发展，对音频质量和性能的要求越来越高，双通道音频分析仪作为一个关键工具，逐渐引起了市场的关注。

**总体趋势：**

总体而言，国内外在音频领域的研究和应用呈现出以下趋势：技术不断创新，设备功能逐渐丰富，对于实时性、精度和便携性的要求也在不断提高。另外，与大数据、人工智能等技术的结合也为音频分析提供了更多可能性。

在双通道音频分析仪的设计中，对于硬件和软件的综合优化是当前研究的重点，同时考虑到成本和实用性，努力提高产品在实际应用中的性价比。

## 2.2国内外实施现状与市场调研

早期专业的音频分析仪种类很少，在做音频测量时一般是利用万用电表、频率计、示波器及频谱仪等组合成一套音频测试系统。这种测试系统中间环节多，各环节之间接口匹配较为困难，使用起来比较麻烦，测量结果往往也不精确。

近年来出现的音频分析仪器也与仪器的主流发展趋势一致，朝着高度集成化、智能化的方向发展，这些仪器集成了复杂音频信号发生装置、功率放大装置等，具备了一些初步的图形化分析功能，使用户很容易组建音频测量系统。以下选取国内外行业主导公司及其产品进行简要介绍。

1.AudioPrecision APx系列

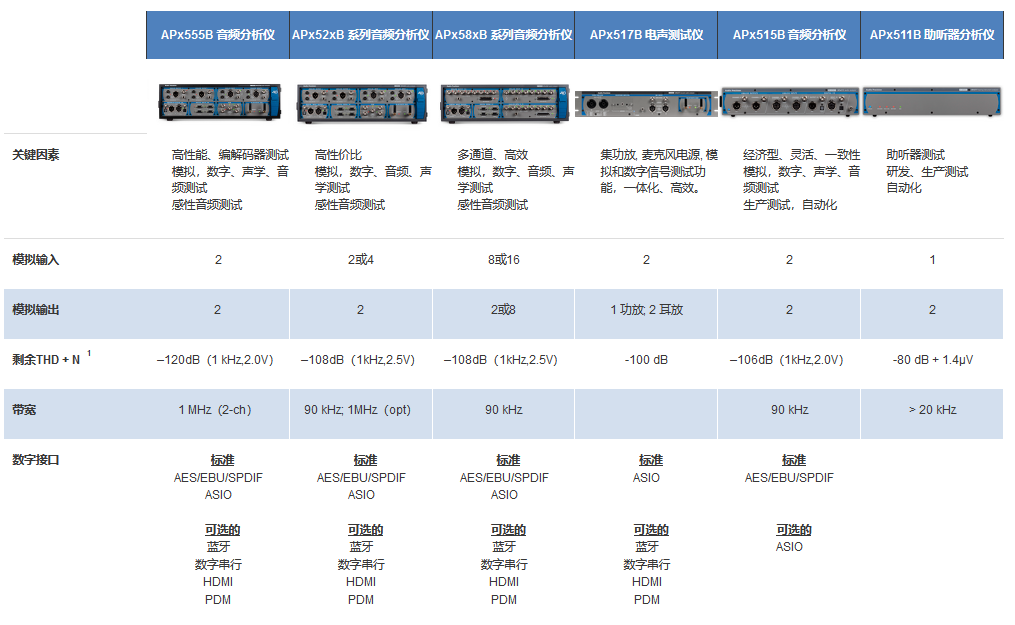
近些年，随着半导体产业以及音频设备的不断发展，服务于音频设备生产的成型的商业化音频分析仪产品不断涌现，行业尖端由美国Audio Precision公司的APx系列音频分析仪主导，面向专业音频产品开发与生产，APx系列分析仪多以机架式为主，具有丰富的音频接口和成型的PC端分析软件支持，部分系列兼具信号发生等功能，满足专业化，高性能的音频设别开发测量需求。

图2.2.1 APx系列音频分析仪特性比较

AudioPresicion产品功能强大，面向专业音频产品开发，提供了专业的助听器，蓝牙耳塞等产品测量解决方案。其产品面向高端市场，价格较高且不便于携带，对于个人用户并不友好。

2.Nti Audio FX100系列以及手持DL1音频分析仪

图2.2.2 FX100系列音频分析仪

瑞士Nti Audio 的Flexus FX100系列音频分析仪侧重于扬声器性能测试，通过USB以及LAN以太网传输数据，能够实现高性能的频分析。FX100采用模块化设计，满足客户定制需求提供了五个机架位，能够测量5hz-80Khz频段，1μV到200 Vp，典型的THD+N 为 -104 dB的多通道音频信号测量，FX100同时提供可编程的上位机程序FX-control，能够实现多通道FFT以及扫频，杂音，窜音测试以及阻抗测试等附加功能。

手持式音频信号测量仪Digilyzer DL1 是一个功能强大的数字音频分析仪。用这个精巧的工具可以快速直接的测试，监听与除错任何数字音频信号。支持高达 96 kHz 的取样频率与所有数字音频格式，包含 AES3，S/PDIF,TOSLINK 和 ADAT。

3.ABTEC爱普泰克

图2.2.3 A100系列音频分析仪

国内ABTEC的A系列音频分析仪对标APx系列，提供了更高的性价比和同样的测试性能，以及更多的一体化音频设备测试解决方案。

## 2.3论证课题技术可行性和市场可行性

#### 2.3.1 课题技术可行性分析

输入阻抗匹配与模数转换可行性分析：

课题项目采用运算放大器实现阻抗匹配和信号前端调理，采用运算放大器输入阻抗600Ω满足通用音频输入设备规范，运算放大器采用±5V电压能够满足一般音频信号输入需求，且于AD芯片工作电压之间易于转换，并且方便与许多FPGA核心板USB供电之间转换。选用的AD芯片采样速率165Ksps，即每秒采样点数165000个采样点。根据Nyquist采样定律：

(1-1)

本系统中要求采样速率大于，可以满足其采样要求。

UDP上位机传输可行性分析：

采用FPGA芯片作为UDP以太网协议传输，充分利用FPGA芯片多输入输出的特点。粗略估计 以满足Nyquist采样定律选取最低80Khz采样频率 12bit量化为例，双路同时采集输入信号速率最低约为1920000 (bit/s)，远远小于标准以太网传输10Mbit/s，实际采用165Khz采样速率，进行16bit量化双通道采样，信号传输速率为5.28M bit/s,认为信号FFT输出16位实数，满足频域采样定理，FFT数据应与信号传输速率基本一致，总共传输信号速率约为10.56M bit/s，采用100M以太网传输可以满足项目指标；上述配置情况下输入占用16\*2＝32条I/O引脚，输出采用UDP协议,

以ALTERA公司CYLONE VI 系列低端型号EP4CE6为例，能够提供最大179个用户I/O端口，大于项目所需的端口数量，技术上可以实现。

1. 关于MAC与PHY：

OSI（Open System Interconnection）7层网络模型：



图2.3.1 OSI（Open System Interconnection）7层网络模型

对于FPGA实现以太网数据传输（主要是局域网）来说，最主要的就是 数据链路层、 物理层。

MAC（Media Access Control Address）就是媒体接入控制器。以太网MAC由IEEE-802.3以太网标准定义。它实现了一个数据链路层。最新的MAC同时支持10/100/1000Mbps速率。通常情况下，它实现MII/GMII/RGMII接口，来同行业标准PHY器件实现接口。对于FPGA的应用来说，MAC层的实现就在 FPGA侧通过RTL代码编程实现。

PHY是物理接口收发器，它实现物理层。IEEE-802.3标准定义了以太网PHY。它符合IEEE-802.3k中用于10BaseT和100BaseTX的规范。

PHY芯片在发送数据时，首先将MAC发过来的并行数据转化为串行流数据，按照物理层的编码规则把数据编码转换为模拟信号通过网口发送出去,接收数据的流程反之。

(2)关于FIFO

双时钟 FIFO 的一个典型应用就是异步数据的收发，所谓异步数据是指数据的发送端和接收端分别使用不同的时钟域。使用双时钟 FIFO 能够将不同时钟域中的数据同步到所需的时钟域系统中。例如，在一个高速数据采集系统中，实现将高速 ADC 采集的数据通过千兆以太网发送到 PC 机。ADC 的采样时钟(CLK1)由外部专用锁相环芯片产生，则高速 ADC 采样得到的数据就是同步于该 CLK1 时钟信号，在 FPGA 内部，如果 FPGA 工作时钟(CLK2)是由独立的时钟芯片加片上锁相环产生的，则 CLK1 和 CLK2就是两个不同域的时钟，他们的频率和相位没有必然的联系，假如 CLK1 为 65M，CLK2 为 125M，那么就不能使用 125M的数据来直接采集 65M 速率的数据，因为两者数据速率不匹配，在采集过程中会出现包括亚稳态问题在内的一系列问题，所以这里就可以使用一个具备双时钟结构的 FIFO 来进行异步数据的收发。

PC**端通过**Python**与**FPGA**进行**UDP**通信是可行性分析：**

1. 实时性和稳定性：

优势：UDP是一种无连接的协议，它具有低延迟和高效性的特点。对于实时性要求高的音频数据传输，UDP通信能够更好地满足这一需求。

适用场景：在音频分析仪项目中，实时性通常是至关重要的，特别是对于时域和频域波形的实时显示。

2. 适用于小规模数据传输：

优势：UDP适用于小规模数据的传输，适用于音频样本等小数据块的快速传输。

适用场景：音频分析仪的音频样本通常是连续的小块数据，UDP足以应对这种需求。

3. 无连接的特性：

优势：UDP是无连接的协议，没有建立连接和断开连接的开销。这使得它更适合一对多的数据传输，而不需要保持连接状态。

适用场景：在音频分析仪中，由FPGA到PC端的数据传输通常是一对一的简单通信。 4. 实现简单：

优势：使用Python实现UDP通信非常简单，Python的标准库提供了`socket`模块，可以方便地创建UDP套接字和进行数据传输。

适用场景：适用于项目要求简易且快速实现的场景。

5. 灵活性：

优势：通过Python实现UDP通信灵活性较高，可以方便地进行参数配置、数据解析等操作。

适用场景：在音频分析仪项目中，可能需要根据实际需求调整采样率、数据格式等参数，使用Python可以更方便地进行调整。

6. 适用于多平台：

优势： Python是跨平台的语言，UDP通信的实现可以在不同操作系统上运行，适用于多平台的应用。

适用场景：如果项目需要在不同操作系统上运行，Python的UDP实现可以很好地满足这一需求。

SNR**和**THD**测量可行性分析：**

1. SNR测量：

可行性：SNR的计算主要依赖于信号和噪声的功率比。在PC端，由于有更丰富的计算资源，可以更准确地计算功率，从而提高SNR测量的精度。

改进方向：考虑实时性需求，可以根据实际情况调整采样率，优化SNR计算的算法。

2. THD测量：

可行性： THD测量涉及到对谐波的处理，PC端通常可以更灵活地实现复杂的谐波分析算法。

改进方向： 根据具体应用场景，可能需要在PC端进一步优化谐波分析的算法，以提高准确性。

**FFT点数和采样率分析：**

1. FFT点数：

可行性： 由于PC端拥有更强大的计算资源，可以处理较大的FFT点数，从而提高频谱分析的精度。

改进方向： 根据信号的频率范围和分辨率需求，选择适当的FFT点数，以平衡计算负担和频谱分辨率。

2. 采样率：

可行性： 在PC端，可以根据实际需求调整采样率，以满足频率分析的精度和实时性。

改进方向：根据应用场景，可能需要动态调整采样率，以适应信号的频率变化。

使用 SQLite 来当数据库的可行性分析：

1. 轻量级和嵌入式特性：

SQLite 是一个轻量级的数据库引擎，不需要独立的数据库服务器进程，将数据库存储在单一的本地文件中。这使得它非常适合嵌入式系统和小型项目。

2. 易于使用：

SQLite 使用简单，支持标准的 SQL 查询语言，易于学习和使用。它不需要专门的管理工作，适合快速开发和原型构建。

3. 文件存储：

数据以文件形式存储，这样的设计使得数据迁移、备份和恢复变得相对简单。SQLite 数据库通常以单一文件的形式存在。

4. 足够的性能：

优势：对于小规模的数据集，SQLite 提供了足够的性能。它适用于一些小型应用和嵌入式系统，能够满足实时性和稳定性的要求。

PyQt**界面的可行性分析：**

1. 界面设计：PyQt 提供了丰富的界面设计工具，可以创建直观、易用的用户界面，以展示实时数据和分析结果。

2. 实时更新：PyQt 支持实时更新界面，可以通过定时器或事件触发机制实现实时数据的展示。

3. 图形绘制： Matplotlib 可以与 PyQt 集成，方便在 PyQt 界面中嵌入图表，展示时域波形、频域波形等。

4. 数据交互： PyQt 提供了丰富的组件，可以实现用户和系统之间的数据交互，比如设置参数、触发分析等。

5. 用户反馈：通过 PyQt，你可以实现用户反馈机制，例如显示实时的分析结果、报警等。

#### 2.3.2市场可行性分析

设计的音频分析仪采用低成本低功耗FPGA和双路ADC采样，预估成本六百到八百元，其性能指标能够满足一般的音频信号分析要求，虽不及远不及专业机架式音频分析仪的性能指标，但是其成本低廉可以满足个人用户音频测试需求，面向低端个人用户，考虑到手持式便携音频分析仪产品极少，本课题设计的音频分析仪针对要求高性价比，低价格，便于携带的个人用户（如：音响功放DIY爱好者，音频发烧友）具有很大的市场潜力。

## 2.4成本预估

本课题硬件成本集中在核心模块芯片的购置，其中AD转换芯片MAX1165类似产品100片内在130元/片左右，FPGA模块EP4CE6/EP4cE10价格在230元/片左右，PHY模块芯片大约78元/片左右，计入外壳打印，PCB板制作印刷以及其他电子元器件的购置，样品成本预估在600-800元之间。若提高供应量则可以进一步降低芯片与印刷成本。

# 三、 课题实施方案

## 3.1叙述课题设计的基本技术路线

该项目的基本技术路线可以描述如下：

1.双路ADC采集音频信号：选择适当的双路ADC芯片，通过FPGA的高速串行接口（如LVDS、JESD204等）连接ADC，并使用FPGA对采集到的音频数据进行处理和传输。ADC的选择需要考虑采样率、分辨率、接口类型等因素，以满足音频信号采集的要求。

2.FPGA实现UDP协议：在FPGA中实现UDP协议栈，包括UDP数据包的封装、解包、数据传输控制等功能。这需要使用FPGA内部资源来实现网络通信模块，并将音频数据封装成UDP数据包进行传输。

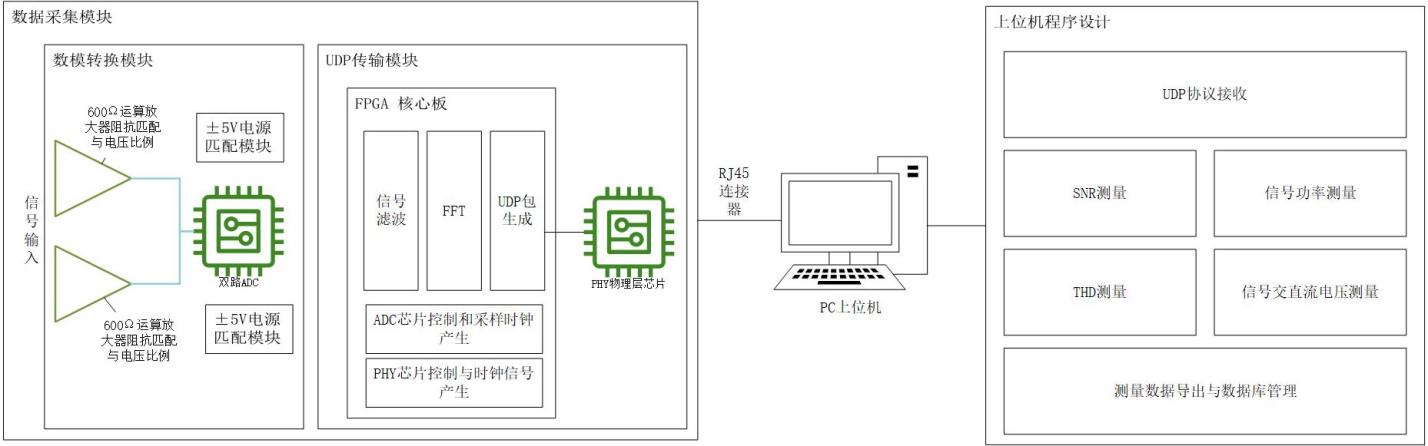
3.与PC端程序通信：利用FPGA的以太网接口，将采集到的音频数据通过UDP协议发送到PC端，同时在PC端编写Python程序通过UDP接收音频数据。Python程序需要实现数据的解析、信号处理和分析功能。

4.信号分析功能实现：在PC端的Python程序中，通过实现信噪比（SNR）、总谐波失真（THD）和快速傅里叶变换（FFT）分析算法，对接收到的音频数据进行处理和分析。Python中广泛可用的科学计算库（如NumPy、SciPy等）可以帮助实现这些算法。

5.音频分析仪设计：将以上功能整合在一起，设计一个用户友好的界面，使用户能够实时监测音频信号的时域和频域特性，包括波形显示、频谱分析、SNR和THD的计算等。

## 3.2论证课题总体设计方案

设计系统的整体设计方案如图3.1所示，整个系统包括数据采集模块和PC端程序组成。数据采集模块主要对于输入音频信号进行阻抗匹配，数模转换以及与PC通信三个功能。计划再FPGA内部调用IP核实现FIR信号滤波，快速傅里叶变换，信号缓存以及UDP协议栈实现，通过PHY物理层芯片将数据转换为双绞线的差分信号传输，通过RJ45连接器和双绞线与电脑的网口连接实现信号传输。上位机端程序设计前端采用PyQT／PySide2实现GUI开发，后端编写UDP接受协议读取数据，调用Python相关信号处理包实现信号特性测量和SQL数据库连接。

图3.2 系统结构图

由于要对信号进行时域分析和频域分析，即需要对于采样信号进行DFT分析,DFT分析即可以在上位机采用python实现，也可以调用FPGA内部资源进行处理。我们综合讨论认为采用FPGA内部资源实现FFT可以极大的减轻上位机的计算资源，充分利用FPGA的特性，同时能够提高信号的精度和实现信号频谱显示和处理的实时性。而通过FPGA资源实现FIR滤波器则是设计一个低通／带通滤波器以尽可能的排除掉工作频段外的信号对于信号处理分析过程中的干扰。

## 3.3论述课题涉及的核心模块及技术

#### 3.3.1 阻抗匹配电路的设计与实现

要设计一个输入阻抗为600欧，输入电压范围为±5V的集成运放电路。后面所接AD芯片的参考电压为4.065-4.136V。

所以可以考虑使用一个电压跟随器作为输入级，以减小输入阻抗。电压跟随器通常具有高输入阻抗和低输出阻抗，可以有效地减小输入阻抗。使用一个电压跟随器作为输入级。电压跟随器通常具有高输入阻抗和低输出阻抗，可以有效地减小输入阻抗。选择一个合适的电阻来调整输入阻抗。根据电路设计要求，选择一个适当的电阻与电压跟随器串联，以将输入阻抗调整为600Ω。最后根据需要添加其他元件，例如保护电路、偏置电路等，以优化电路的性能和稳定性。

对集成运放进行选型，我们需要的主要参数:

1.供电电压为5V，工作频率为20-40KHz

2.转换速度SR=2\*pi\*f\*Vpk=2\*3.14\*40\*10^3\*5=1.57V/us

LF353相关参数符合要求

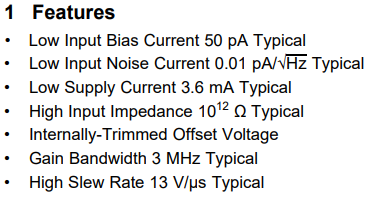


图3.3.1-1 LF353数据手册（1）

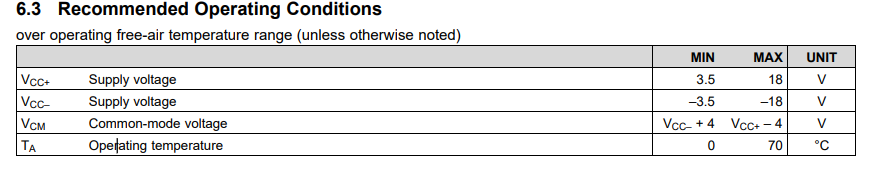


图3.3.1-2 LF353数据手册（2）

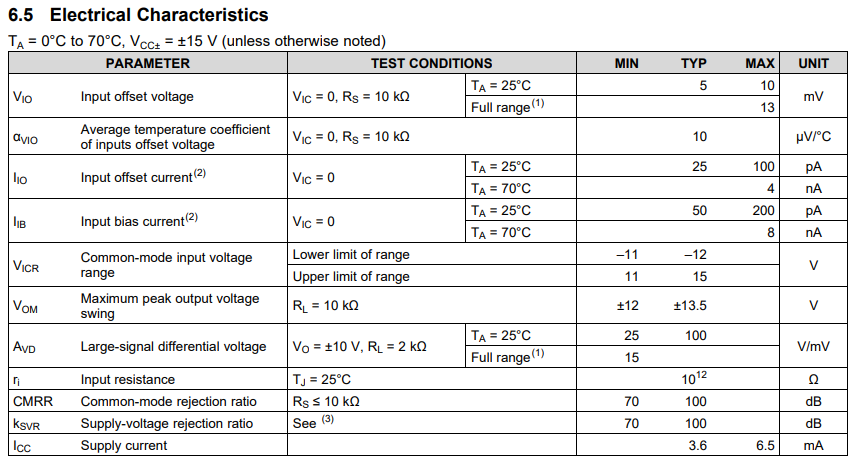


图3.3.1-3 LF353数据手册（3）

#### 3.3.2 电源匹配电路的设计与实现

1.DCDC

DCDC的意思是直流变（到）直流（不同直流电源值的转换），只要符合这个定义都可以叫DCDC转换器。DCDC转换器常见的三种拓扑结构分别为Buck（降压型DCDC转换器）、Boost（升压型DCDC转换器）、Buck-Boost（升降压DCDC转换器），简易拓扑结构图如下所示：

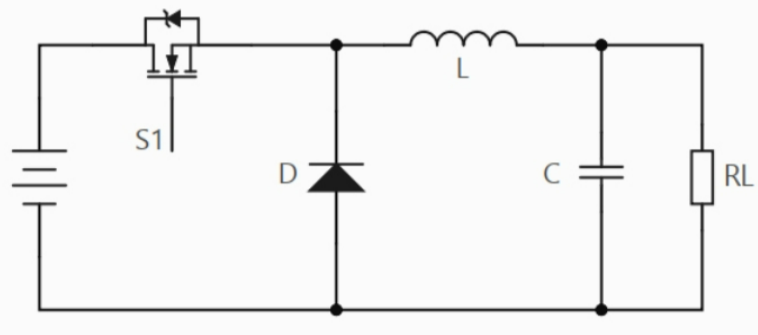


图3.3.2-1 Buck

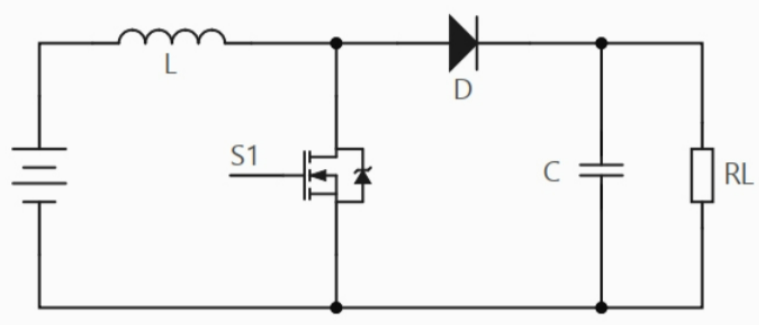


图3.3.2-2 Boost

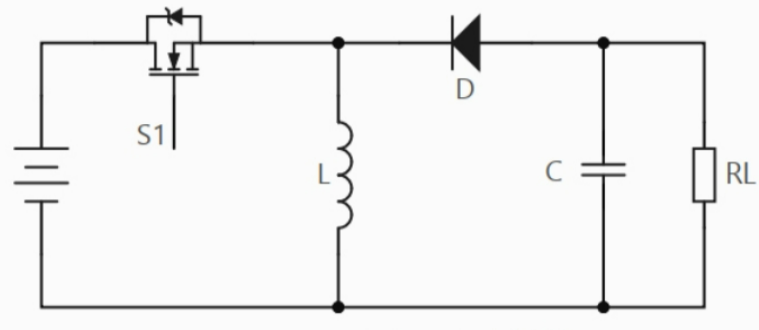


图3.3.2-3 Buck-Boost

2.LDO

LDO，低压差线性稳压器（Low Dropout Regulator）。工作原理就一句话：反馈，通过比较运放器来调节MOS饱和状态下的线性阻值，进而调节Vi到Vo两端的压差。

内部是线性调整管、比较运放器、采样反馈电路、基准电压。

1、线性调整管，相当于一个压控的可变电阻。

2、比较运放器，放大器，控制MOS的打开程度。

3、反馈与基准电压，作为运放的反向电压，将LDO的输出电压通过分压作为运放的正向输入电压。

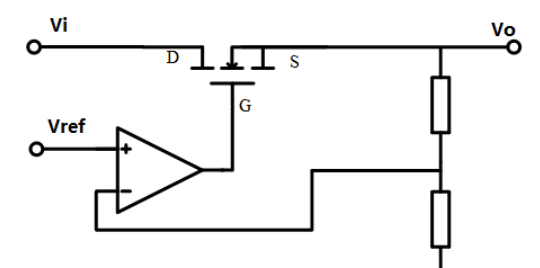


图3.3.2-4 LDO

可以看出，当取样电压Vf=(Vo\*R2/(R1+R2))加在比较器的反相输入端，与加在同相输入端的基准电压Vref相比较，两者的差值经放大器A放大后，VGS=△V\*A（A为比较放大器的倍数）控制NMOS管串联调整管的压降，从而稳定输出电压。

当输出电压Vo降低时，相应(Vf-Vo)增大，从而VGS增大，NMOS管内的RDS（沟道电阻）减小，所以该阻值的压降减小从而导致Vi有更多的电势留至Vo，Vo增大。当输出电压Vo向上波动时同理。

应当说明，实际的线性稳压器还应当具有许多其它的功能，比如负载短路保护、过压关断、过热关断、反接保护等，而且串联调整管也可以采用MOSFET。

3.比较/选型

由于我们需要不同的直流电压来为电路各个模块提供工作，这时我们需要用到DCDC或LDO，但是严格意义上LDO也是一种DCDC，LDO 是一种线性稳压器，使用在其饱和区域内运行的晶体管或场效应管（FET），从应用的输入电压中减去超额的电压，产生经过调节的输出电压。所谓压降电压，是指稳压器将输出电压维持在其额定值上下 100mV 之内所需的输入电压与输出电压差额的最小值。（常见的LDO芯片7805，1117）

在电源芯片选型中，LDO和DCDC则是两种完全不同的芯片。与线性稳压器LDO相比较，效率高是DCDC的显著优势，通常效率在70%以上，效率高的可达到95%以上。

低压降（LDO）线性稳压器的成本低，噪音低，静态电流小，这些是它的突出优点。它需要的外接元件也很少，通常只需要一两个旁路电容。新的LDO线性稳压器可达到以下指标：输出噪声30μV，PSRR为60dB，静态电流6μA，电压降只有100mV。

LDO线性稳压器的性能之所以能够达到这个水平，主要原因在于其中的调整管是用P沟道MOSFET，而普通的线性稳压器是使用PNP晶体管。P沟道MOSFET是电压驱动的，不需要电流，所以大大降低了器件本身消耗的电流；另一方面，采用PNP晶体管的电路中，为了防止PNP晶体管进入饱和状态而降低输出能力， 输入和输出之间的电压降不可以太低；而P沟道MOSFET上的电压降大致等于输出电流与导通电阻的乘积。由於MOSFET的导通电阻很小，因而它上面的电压降非常低。

DC-DC转换器包括升压、降压、升/降压和反相等电路。DC-DC转换器的优点是效率高、可以输出大电流、静态电流小。随著集成度的提高，许多新型DC-DC转换器仅需要几只外接电感器和滤波电容器。但是，这类电源控制器的输出脉动和开关噪音较大、成本相对较高。

结论：

1、如果输入电压和输出电压很接近，最好是选用LDO稳压器，可达到很高的效率。

2、如果输入电压和输出电压不是很接近，就要考虑用开关型的DC-DC了，应为从上面的原理可以知道，LDO的输入电流基本上是等于输出电流的，如果压降太大，耗在LDO上能量太大，效率不高。

总之，升压是一定要选DC-DC的，降压，是选择DCDC还是LDO，要在成本，效率，噪声和性能上比较。

由于电路模块所需的电压值为5V和3.3V，我们决定采用5V的直流输入进行降压，由于音频分析仪对噪声要求严苛故选择LDO，芯片选型选用CJT1117B。

参考电路如下图所示：

3.3.3 ADC模块的电路设计与实现

在选择AD（模数转换）芯片时，有几个重要的指标需要考虑。以下是一些常见的AD转换芯片选型指标及其简要介绍：

1.分辨率（Resolution）： 分辨率是AD转换器能够提供的数字化精度的指标，通常以位数来表示。更高的分辨率意味着更好的信号精度，可以更准确地采样和重建模拟信号。典型的AD转换器的分辨率包括12位、16位、18位等。

2.采样率（Sampling Rate）： 采样率表示AD转换器在一秒钟内对模拟信号进行采样的次数。通常以赫兹（Hz）来表示。音频应用中常见的采样率包括44.1kHz（用于CD音质）、48kHz（用于音频/视频应用）等。

3.信噪比（Signal-to-Noise Ratio，SNR）： 信噪比是衡量AD转换器性能的重要指标，它表示转换器在理想输入下产生的信号与噪声的功率比。较高的信噪比意味着更小的噪声水平，通常以分贝（dB）为单位表示。

4.亚音频失真（Total Harmonic Distortion，THD）： 亚音频失真指AD转换器在数字信号输出中包含的失真成分的总体程度。通常以百分比或分贝表示。较低的亚音频失真意味着更干净的输出信号。

5.入电压范围（Input Voltage Range）： 输入电压范围表示AD转换器能够接受的模拟输入电压范围。一些应用中需要考虑信号幅度的大小，以确保AD转换器能够适应所需的输入信号范围。

6.型（Interface）： AD转换器的接口类型包括SPI、I2C、I2S等，这些接口类型决定了AD转换器与其他数字系统（如微处理器、FPGA等）的连接方式，需要考虑是否和您的系统兼容。

综合设计要求，ADC模块的模数转换芯片选型应满足大致以下要求：

1.采样精度不小于16bit

2.采样速率满足Nyquist采样定理，采样频域大于160Khz,即采样速率大于160ksps

3.方便电源之间匹配，电源工作范围3.3-5V之间

4.方便后续数据交换，采样数据输出采用并行输出方式，不采用SPI等总线或者串口数据传递

5.在满足以上条件下，选用信噪比更高，失真更小的模数转换芯片

5.便于焊接调试，避免BGA等手工焊接调试难度较大的芯片封装

查找相应资料，综合成本考量，我们选取ADI公司的MAX1165/MAX1166模数转换芯片作为模数转换部分的核心器件：MAX1165/MAX1166是一款低功耗 16-bit量化，并行输出的模数转换芯片，芯片采样速率位165Ksps，选取两块MAX1165芯片可以实现项目性能指标的要求。

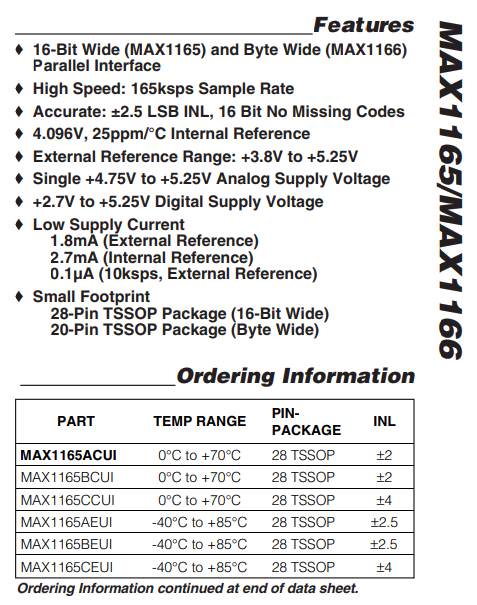


图3.3.3-1 MAX1165性能指标

在正常工作条件下，MAX1165可以达到90dB的信噪比，和-102dB的总谐波失真，供电电压为4.75V至5.25V，可以满足电压供电的要求。并且芯片内部集成了采样时钟和可选的内部基准电压。MAX1165 28 pin的TSSOP封装也易于焊接和调试。参照芯片数据手册，给出典型的芯片周围电路配置电路和芯片内部结构框图。

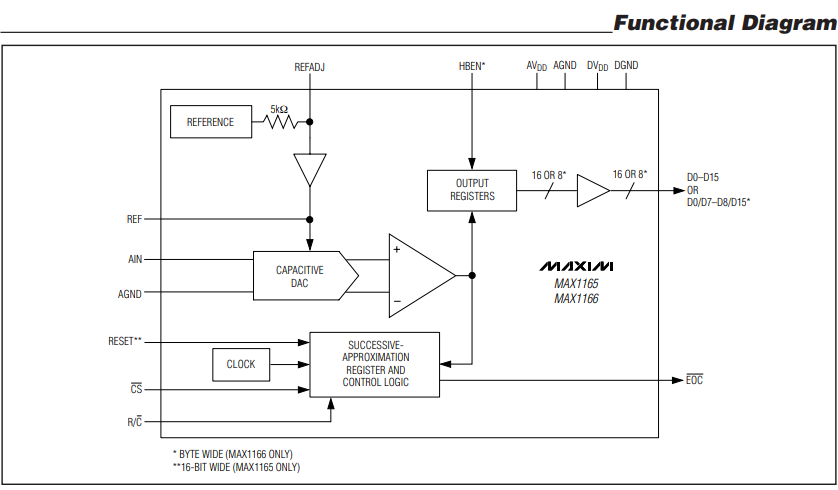
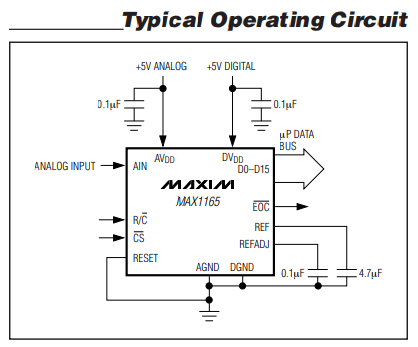


图3.3.3-2 MAX1165外围电路（左）和内部框图（右）

#### 3.3.4 FPGA以及PHY芯片选型

FPGA芯片选择上我们选取ALTERA公司的商用cyclone IV系列，参考官方网站，列出其cyclone IV系列芯片的内部资源和性能指标,主要考虑到设计FPGA占用的逻辑单元数量以及FPGA内部支持的数字信号处理模块，认为选用EP4CE6可以基本满足性能指标需求。

在图3.3-3中展示了cyclone IV 系列型号的资源对比。

PHY芯片在数据传输过程中负责将数字信号转化位串行的模拟数据在以太网双绞线上进行传输。我们选取TI公司的TLK110物理层接口芯片，TLK110芯片能够支持10/100M的以太网数据传输，通过25/50Mhz时钟信号驱动工作，芯片工作电压3.3V，同时集成了串行接口管理，线缆诊断，自动协商等等功能，且具有led接口可以通过led灯组显示传输状态，满足项目的需求，并且在操作文档中提供了详尽的外围电路布局指导，芯片采用48引脚的LPQF封装，方便芯片的人工焊接与调试。在图3.3.4-1中展示了TLK110的芯片特性和结构功能框图。

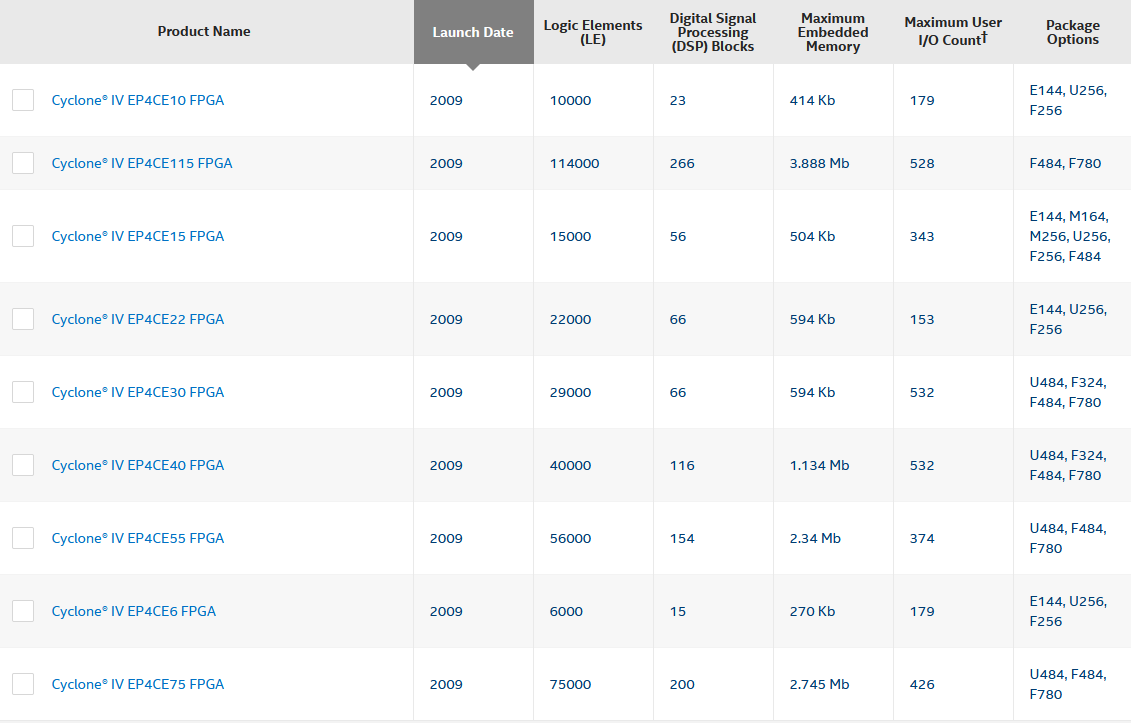


图3.3.4-1 CycloneIV系列芯片资源对比

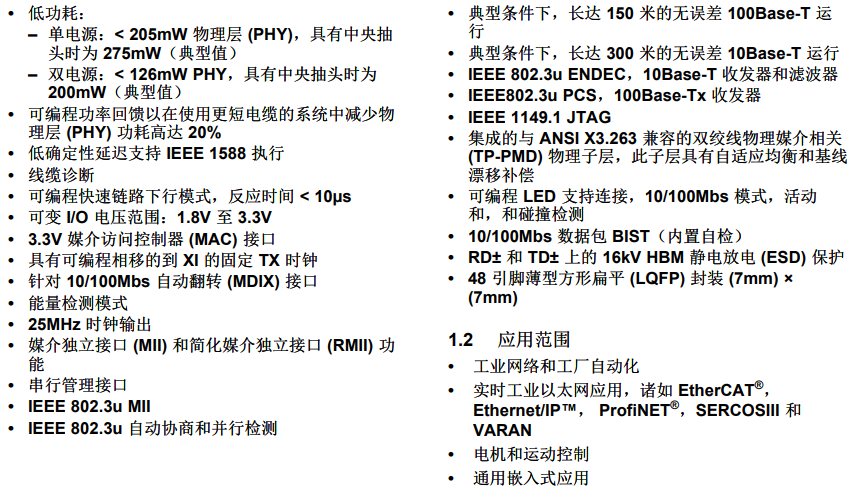


图3.4.1-1 FPGA出发到物理层模块再到用户网口的结构图

图3.3.4-1

## 3.4课题相关软件结构和主要模块流程设计

#### 3.4.1 FPGA协议栈的实现

（1）下图为从FPGA出发到物理层模块再到用户网口的结构图：

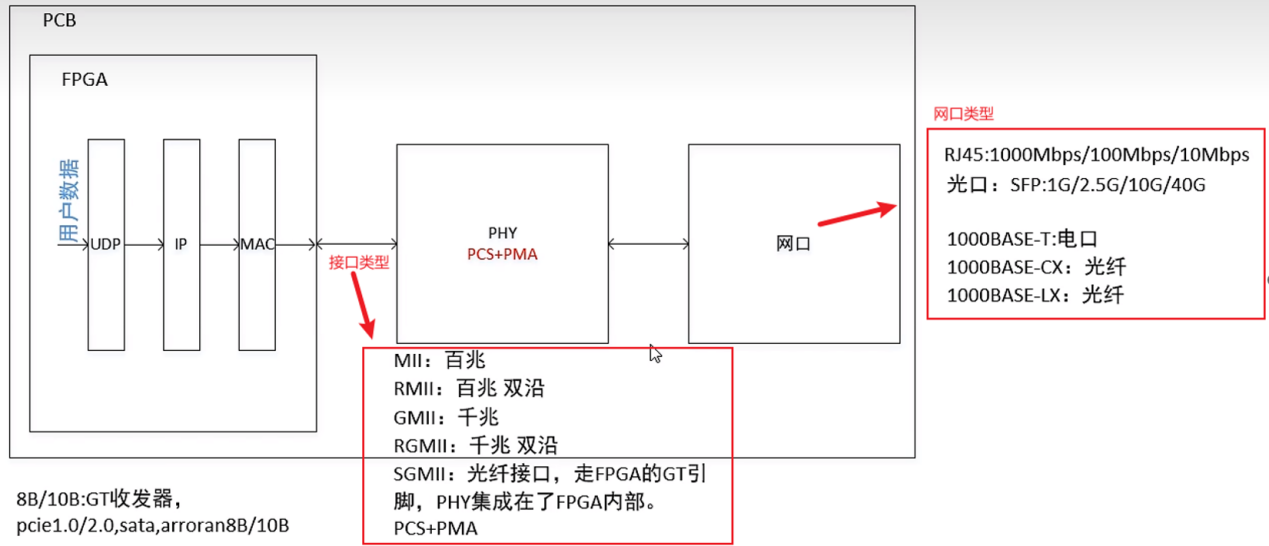


图3.4.1-1 FPGA出发到物理层模块再到用户网口的结构图

FPGA与PHY芯片、网络接口的连接关系（PHY芯片以RTL8211为例）：

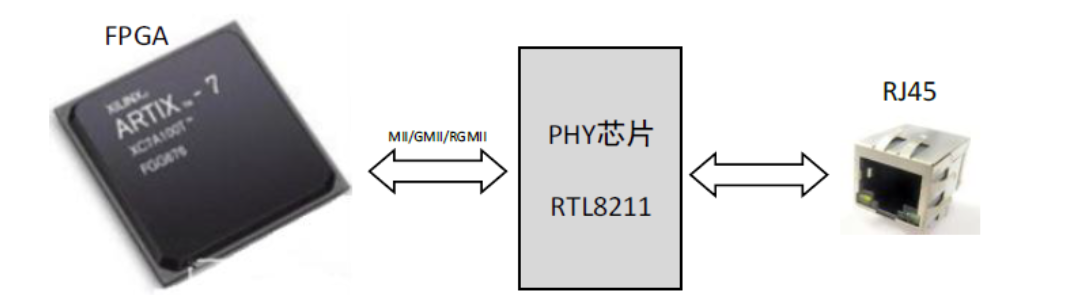


图3.4.1-2 FPGA、PHY和RJ45连接

MAC 侧向 PHY 侧传输数据的引脚连接示意图和时序图如下（选择MII端口）：

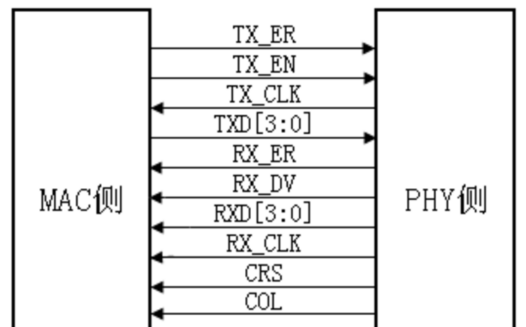


图3.4.1-3 MAC 侧向 PHY 侧传输数据的引脚连接示意图

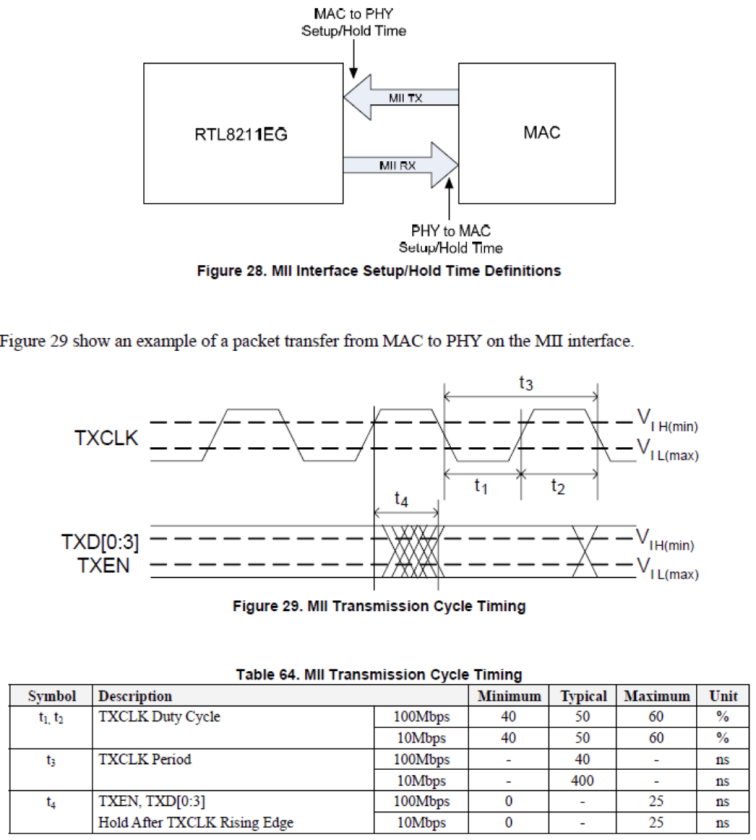


图3.4.1-4 MAC 侧向 PHY 侧传输数据的时序图

（2）关于UDP

首先先看IP的数据格式，如下图：

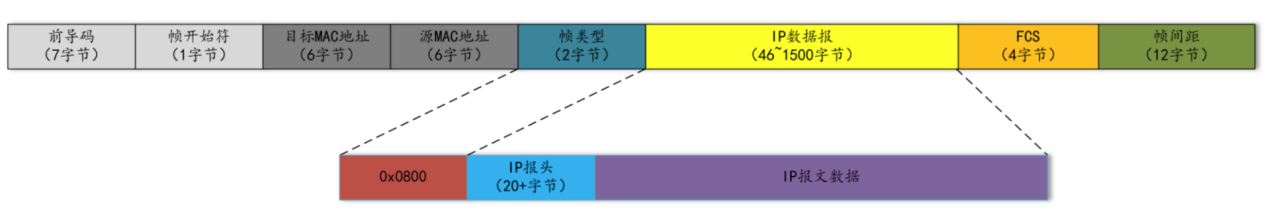


图3.4.1-5 IP的数据格式

IP的首部字段定义如下图：

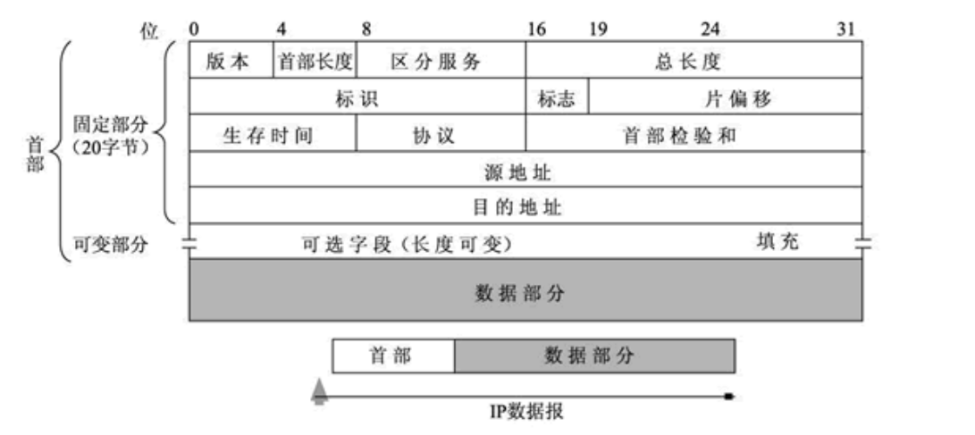


图3.4.1-6 IP的首部字段定义

其中的“协议”表示该数据报文所携带的数据所使用的协议类型，占 8 位。该字段可以方便目的主机的 IP 层知道按照什么协议来处理数据部分。不同的协议有专门不同的协议号。UDP 的协议号为 17。

然后再来看UDP数据格式：UDP协议位于 OSI 七层模型中的传输层，数据结构如下图：

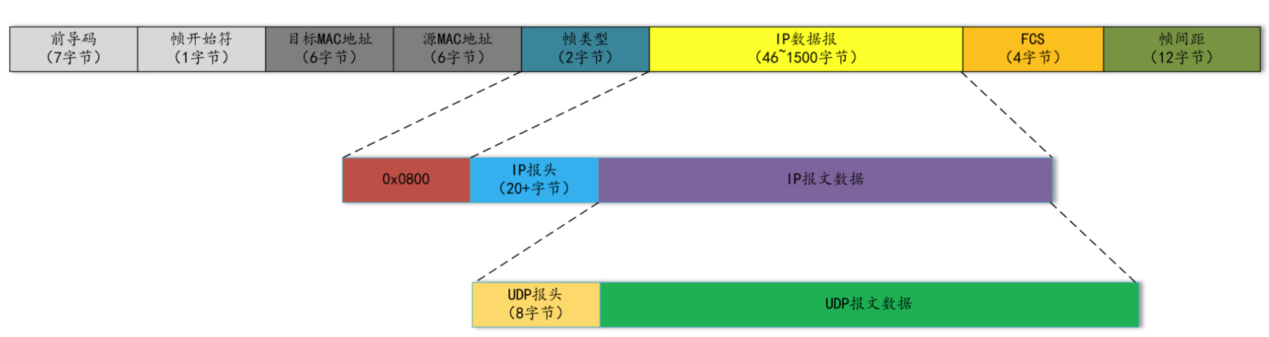


图3.4.1-7 UDP数据格式

UDP 报文结构示意图具体见下图：



图3.4.1-8 UDP 报文结构

各个数据部分的含义不做过多解释，主要先了解结构。

UDP数据发送模块需要按照以太网的帧数据格式将数据发送，采用状态机的方式实现。设计模块主要包含如下几部分：

1、IP首部校验和计算模块；

2、FCS计算模块（CRC32）；

3、UDP数据发送主模块；

#### 3.4.2 FIFO以及时钟电路产生的IP核实现

下图为使用 FIFO 进行异步数据收发的简易系统框图。

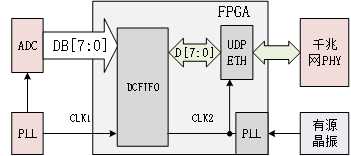


图3.4.2-1 FIFO 进行异步数据收发的简易系统框图

在此系统中，由于 ADC 的数据位宽为 8 位，基于 UDP 协议的以太网发送模块所需的数据也是 8 位，因此使用的是读写数据宽度相同的双时钟 FIFO 结构。假如 CLK1 的频率为20M，ADC 的数据位宽为 16 位，则可以使用读写数据位宽不同的双时钟 FIFO，在实现异步时钟域数据收发的同时，实现数据位宽的转换。通过设置双时钟 FIFO 的写入位宽为 16位，读取位宽为 8 位，则可以实现将 16 位的 ADC 数据转换为以太网支持的 8 位发送数据，然后通过以太网发送到 PC 机。

#### 3.4.3 PC端程序设计实现

数据库选择：

在小规模应用场景，尤其是对于实验数据记录和快速原型构建，SQLite 是一个轻量级、易于使用的选择。其嵌入式特性和跨平台支持使得它在项目中的可行性很高。在这个项目中，我们使用 SQLite 存储从FPGA传输到PC端的音频数据。

UI开发：

对于UI开发，我们选择了 PyQt，这是一个强大而成熟的GUI库。使用 Matplotlib 来嵌入图表，并通过 PyQt 提供的组件设计用户友好的界面。

信号分析处理包选择和实现：

使用了 NumPy 和 SciPy 中的 FFT 函数来进行频域分析。这两个库提供了丰富的数学和信号处理功能，适用于音频信号的分析。同时还可以根据具体需求选择其他信号处理库，如 librosa 等。

THD失真度和SNR信噪比测量方法：

THD（Total Harmonic Distortion，总谐波失真度）和SNR（Signal-to-Noise Ratio，信噪比）是音频领域中常用的两个性能指标，用于评估信号质量。

THD（Total Harmonic Distortion）失真度测量方法：

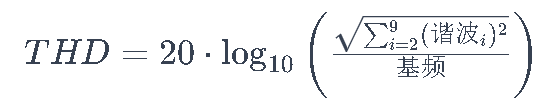
THD表示信号中各阶谐波分量的总和相对于基频分量的比例，以dB为单位。对于音频信号，通常会考虑到第二至第九次谐波。

THD计算步骤：

1.获取频域分析结果：使用FFT（快速傅里叶变换）等算法获取音频信号的频域分析结果。

2.找到基频和谐波：识别频谱中的基频（通常是主频率）以及它的第二至第九次谐波。

3.计算THD：THD的计算公式为：

 （3-1）

SNR（Signal-to-Noise Ratio）信噪比测量方法：

SNR表示信号与噪声之间的比例，以dB为单位。在音频领域，SNR通常用于衡量信号的清晰度和质量。

SNR计算步骤：

1. 分离信号和噪声：将接收到的音频数据分为信号和噪声两部分。

2. 计算信号和噪声的功率：分别计算信号和噪声的功率。

3. 计算SNR： SNR的计算公式为：

 （3-2）

# 四、工程实施计划

## 4.1 工程实施总体进度计划

这部分给出课题实施的10周进度安排。如表1所示。

表1 课题实施进度安排

|  |  |
| --- | --- |
| 时间 | 进度安排 |
| 第一周 | 选定课题，做相关的市场调研 |
| 第二周 | 基于市场调研初步制定出系统的整体框架，细化预期功能，做出十周的详细计划，购买对应的FPGA和模块 |
| 第三周 | FPGA总体模块设计  硬件原理图绘制与PCB layout  上位机信号测量部分 |
| 第四周 | FPGA FIR 和FFT部分实现  PCB layout基本完成 送往印刷  上位机软件信号测量与GUI设计 |
| 第五周 | FPGA UDP传输模块设计与实现  PCB 焊接 初步调试  上位机软件GUI设计和数据库管理实现 |
| 第六周 | FPGA UDP传输模块设计，仿真实现FPGA三个模块基本功能  PCB焊接调试完成，在FPGA端调用signal tap能够显示信号波形  上位机编写UDP接收模块 |
| 第七周 | 各模块功能基本实现，联合测试  PCB部分测试无误进行装配和3D外壳设计  UDP协议收发模块联合调试，进一步调试修改 |
| 第八周 | 完成PCB和外壳的装配与演示  UDP实现协议收发协议测试修改完成  联合调试UDP收发与上位机信号测试显示 |
| 第九周 | 完善所有模块功能  美化GUI设计，优化PC端代码  完成项目报告 |
| 第十周 | 联合调试，展示验收 |

## 4.2 工程实施小组成员分工

以某种形式给出小组成员的分工安排。如表2所示。

表2 小组成员分工

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| **时间\姓名** | **晋远帆** | **杨毅** | **王锐** | **黄小泽** | **周俍琦** |
| **第一周** | 根据任务分配调研 | 根据任务分配调研 | 根据任务分配调研 | 根据任务分配调研 | 根据任务分配调研 |
| **第二周** | 主要撰写可行性报告 | 主要撰写可行性报告， | 撰写可行性报告 | 主要撰写可行性报告 | 撰写可行性报告 |
| **第三周** | 熟悉UDP传输协议基本知识；  学习matlab HDL coder和qurtus使用  学习运放相关知识与电源模块理论  调研AD模块外围电路设计 | 使用假定的数据测试FIFO的IP核的使用 | 熟悉UDP传输协议基本知识；用python代码编写接收UDP的代码 | 硬件原理图绘制与PCB layout | 硬件原理图绘制与PCB layout |
| **第四周** | 辅助编写FPGA模块，电路原理图仿真 | 尝试接受adc采集的数据 | 建立数据库，用于储存接收到的的数据 | PCB layout 基本完成 并完成印刷 | PCB layout 基本完成 并完成印刷 |
| **第五周** | 参与编写UDP传输模块设计  PCB layout检查与修改 | 熟悉UDP传输协议基本知识，编写UDP通信模块 | 利用python测量信号电平、频率、总谐波失真、信噪比等参数 | PCB 焊接并初步调试 | PCB 焊接并初步调试 |
| **第六周** | 参与编写UDP传输模块设计 | 编写UDP通信模块 | 设计用户界面，显示分析得到的数据 | PCB调试，和FPGA负责人共同调试 | PCB调试，和FPGA负责人共同调试 |
| **第七周** | 联合调试修改 | 编写UDP通信模块 | 优化界面 | 调试、机动 | 调试、机动，3D外壳设计 |
| **第八周** | 联合调试，修改FPGA代码 | 调试代码，检查是否有可以优化的地方 | 调式代码，并进行相应的优化 | 调试、机动 | 调试、机动，3D外壳设计 |
| **第九周** | 调试 | 调试代码，检查是否有可以优化的地方 | 调试 | 调试、机动 | 调试、机动，完成PCB和外壳的装配与演示 |
| **第十周** | 联合调试 | 联合调试 | 联合调试 | 联合调试 | 联合调试 |